

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

03248753 **Image available**

THIN FILM SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUB. NO.: 02-224253 [JP 2224253 A]

PUBLISHED: September 06, 1990 (19900906)

INVENTOR(s): KO CHIYUUKOU

AOYAMA TAKASHI

ANDO HIDEKI

KONISHI NOBUTAKE

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 01-042993 [JP 8942993]

FILED: February 27, 1989 (19890227)

INTL CLASS: [5] H01L-021/336; H01L-021/268; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R002 (LASERS)

JOURNAL: Section: E, Section No. 1004, Vol. 14, No. 528, Pg. 144,
November 20, 1990 (19901120)

ABSTRACT

PURPOSE: To reduce the process number by making a protective film and a gate insulating film of the same film.

CONSTITUTION: After piling amorphous silicon films 2 on a glass substrate 1, this silicon film 2 is cut into islands by a hot etching process. Then, oxide silicon films 3 are deposited on this silicon film 2 and excimer laser light 4 having the wavelength of 308nm is irradiated from above the oxide film 3 to anneal the amorphous silicon film 2. That is, the silicon oxide film 3 is used as a protective film for laser light irradiation, later, a gate electrode 34 is provided on the insulating film 3 for using the silicon oxide film 3 in a laser irradiation region as a gate insulating film as it is. Thereby, the process can be reduced.

DIALOG(R)File 352:DERWENT WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.
008429118 **Image available**
WPI Acc No: 1990-316119/199042

Mfr. of thin-film FET - forms gate insulation film by annealing silicon oxide film on semiconductor film by irradiation with light beam

NoAbstract Dwg 1/2

Patent Assignee: HITACHI LTD (HITA)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2224253	A	19900906	JP 8942993	A	19890227	199042 B

Priority Applications (No Type Date): JP 8942993 A 19890227

Title Terms: MANUFACTURE; THIN; FILM; FET; FORM; GATE; INSULATE; FILM; ANNEAL; SILICON; OXIDE; FILM; SEMICONDUCTOR; FILM; IRRADIATE; LIGHT; BEAM ; NOABSTRACT

Derwent Class: L03; U11

International Patent Class (Additional): H01L-021/33; H01L-029/78

File Segment: CPI; EPI

公開特許公報(A) 平2-224253

②Int.Cl.
H 01 L 21/336
21/268
29/784

識別記号

厅内整理番号

Z 7738-5F

②公開 平成2年(1990)9月6日

8624-5F H 01 L 29/78 311 Y
審査請求 未請求 請求項の数 4 (全4頁)

②発明の名称 薄膜半導体装置の製造方法

②特 願 平1-42993
②出 願 平1(1989)2月27日

②発明者 胡 中 行 桃城県日立市久慈町4026番地 株式会社日立製作所日立研究所内
②発明者 青 山 隆 桃城県日立市久慈町4026番地 株式会社日立製作所日立研究所内
②発明者 安 藤 英 美 桃城県日立市久慈町4026番地 株式会社日立製作所日立研究所内
②発明者 小 西 信 武 桃城県日立市久慈町4026番地 株式会社日立製作所日立研究所内
②出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
②代理人 弁理士 小川 勝男 外2名

明細書

1. 発明の名称

薄膜半導体装置の製造方法

2. 特許請求の範囲

1. 絶縁基板上に形成される薄膜半導体装置の製造方法において、薄膜半導体装置を形成する半導体膜の上にシリコン酸化膜を形成した後、その膜を通して、光を照射して、半導体膜をアニールし、光照射領域のシリコン酸化膜をそのままゲート絶縁膜にすることを特徴とする薄膜半導体装置の製造方法。

2. 絶縁基板上に形成される薄膜半導体装置を製造する方法において、薄膜半導体装置を形成する半導体膜の上に、厚さが1000Å以上、2000Å以下の範囲でかつ、照射する光の波長を入としたときに、膜厚が

$$\frac{1}{5.94} \times n \pm 200\text{Å} \quad (n = 1, 2, 3, \dots)$$

となるようにシリコン酸化膜を形成した後、その膜を通して前記波長入の光を照射して、半導体膜をアニールし、光照射領域のシリコン酸化

膜をそのままゲート絶縁膜にすることを特徴とする薄膜半導体装置の製造方法。

3. 絶縁基板上に形成される薄膜半導体装置を製造する方法において、薄膜半導体装置を形成する半導体膜の上に、厚さ1300Å以上、1700Å以下のシリコン酸化膜を形成した後、その膜を通して波長308nmの光を照射して半導体膜をアニールし、光照射領域のシリコン酸化膜をそのままゲート絶縁膜として使用することを特徴とする薄膜半導体装置の製造方法。

4. 請求項2において、上記半導体膜をシリコン膜にすることを特徴とする薄膜半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はエネルギービームを用いた薄膜半導体装置の製造方法に係り、特にレーザアニールなどにおける光プロセスに関する。

〔従来技術〕

従来は特開昭52-2068 13号公報に記載 よう

に、薄膜トランジスタの半導体層をビームアーナーで再結晶化する当り、空気中の不純物が混入しないように半導体層に保護膜を設けて行っていた。アニール後、この保護膜を除去して、ゲート絶縁膜を設けて、ゲート膜を形成する。こ_の膜、保護膜の特性として、

- ① エネルギービームの透過性が良いこと。
- ② エネルギービームに対して、反射防止の役目になること。
- ③ 再結晶すべき半導体層の物質とスレが良いこと。
- ④ アニール後に容易に除去出来ること。

が要求される。

そのため、一般にSiO₂、SiN_x、W膜などが用いられる。

又、ゲート絶縁膜の特性として

- ① 絶縁耐圧が十分であること。
- ② 再結晶すべき半導体層の物質とスレが良いなど半導体層と、良い界面が出来ること。

が要求される。

0 Å以上、1700 Å以下のシリコン酸化膜を形成しゲート絶縁膜として使われる。

このシリコン酸化膜を通して、波長308 nmの紫外光を照射して、半導体膜層をアニールしてこのシリコン酸化膜をレーザ光照射保護膜として使用し、その後、その絶縁膜上にゲート電極を設けレーザ照射領域の首部シリコン酸化膜をそのままゲート絶縁膜として用いる方法である。

〔作用〕

以下、本発明の作用について説明する。

半導体膜表面には種々の不純物が吸着しており、半導体膜上を堆積させると、これらの不純物が半導体-絶縁物の界面単位を形成する。しかし、レーザによって半導体層をアニールすると、界面付近の不純物は半導体の厚さ方法に拡散し、MOS構造によって半導体-絶縁物界面に誘起されたキャリアはトラップされる確立が減る。このため、キャリアの移動度は増加し、トランジスタのしきい電圧は減少する。ここで、絶縁膜をエッティングにより除き、新たにゲート絶縁膜を堆積させると、

そのため、SiO₂が最も一般に使われている。

〔発明が解決しようとする課題〕

レーザ照射保護膜、ゲート絶縁膜はそれぞれ目的に合せ、そ_の料及び膜の厚さが使われている。そのため、膜の形成は別々のプロセスで行われている。その結果、プロセス数が多いことに問題があった。又、上述保護膜のエッティング工程において、半導体層の損傷やエッティングによる汚染などの問題があった。

本発明の目的は、保護膜とゲート絶縁膜を同一膜にすることによって、プロセス数を低減し、又保護膜のエッティング工程をなくすことによって、清浄な半導体-絶縁膜界面を得ようとするものである。

本発明の他の目的は、適切に膜の厚さを選択することによって、光照射の効率を最高に保ちながら、耐圧力を持つゲート絶縁膜を得ることにある。

〔課題を解決するための手段〕

上記目的を達成するために以下の手段を用いた。すなわちアニールすべき半導体膜層の上に130

半導体-絶縁膜界面にはエッティングによる損傷が入るだけでなく、再度、不純物が取込まれることになる。したがって、キャリアの移動度は減少し、トランジスタのしきい電圧は増加する。

レーザ光が酸化シリコン膜を通して、半導体膜に照射される際に、干渉効果によって、半導体膜に到達する光の強度は変る。この干渉効果は、入射光の波長、酸化シリコンと半導体膜の光学係数及び酸化シリコンの厚さに依存する。

波長308 nmの光を膜に垂直に照射する場合、酸化シリコンの厚さ(d)と半導体膜表面に到達する光の強度(T) (シリコン膜の透光率)との間、第2回に示すように次のような関係がある。

Tが最大になる条件は：

$$d = 620 \times (1 + 2N) \text{ Å}.$$

$$N = 0, 1, 2, \dots$$

Tが最小になる条件は：

$$d = 1040 \times N, N = 0, 1, 2, \dots$$

すなわち、酸化シリコン膜の厚さ(d)が520 Å、1560 Å、…時、最も光照射の効率

が良いである。又、計刻度を考慮に入れたら、それぞれ、 $500\text{Å} < d < 750\text{Å}$ 及び、 $1300\text{Å} < d < 1800\text{Å}$ の範囲になる。

一方、多結晶シリコンで構成される TFT の場合、ゲート電圧は約 $10 \sim 50\text{V}$ である。この電圧で絶縁破壊を起こさせないためにはゲート絶縁膜を $1200\text{Å} \sim 1700\text{Å}$ の酸化シリコンにすればよい。しかもしきい電圧はさきほど上昇しないで済むことが分かった。

以上によって、光照射保護膜とゲート絶縁膜の共通膜として、酸化シリコンを $1500 \pm 200\text{Å}$ 、シリコン膜の上に形成し、その上から 308nm のレーザ光を照射し、ゲート膜を設ければ、保護膜とゲート絶縁膜の負荷の機能が得られる。又、保護膜とゲート絶縁膜を一つの膜にすることによって、プロセスを一つ圧縮出来る。

〔実施例〕

以下、本発明の一実施例を第1図により説明する。第1図に示すように、至点 580℃ のガラス基板(1)の上に、LPCVD法により、約 15

00Å の厚さのアモルファスシリコン膜(2)を堆積させた後、このシリコン膜をホット、エッチの工程によって、島切った。このシリコン膜の上に APCVD法により酸化シリコン膜(3)を 1560Å デポした。この酸化シリコン膜(3)上から波長 308nm のエキシマレーザを $300\text{mJ}/\text{cm}^2$ の強度で照射し、アモルファスシリコン膜(2)をアニールした。この膜第2図に示すように、アモルファスシリコン膜上の酸化シリコン膜の厚さが 1300Å 以上、 1800Å 以下であれば、レーザ光の透光率が最も良い。このため、効率良くシリコン膜をアニールできた。

その後、第3図の薄膜トランジスターの断面構造図に示すように、酸化シリコン膜(3)をそのままゲート絶縁膜にし、そのゲート電極様に LPCVDシリコン膜を 1000Å 堆積させる(34)。ホト、エッチ工程によって素子部を形成し、イオン打ち込み法により P(リン)を $30\text{k}\cdot\text{V}$ のエネルギーで 5×10^8 のドース量を与える。その上にキャッピング膜(35)を 1000Å 形成した後、

600℃ 、24時に於て、ソース(31)、ドレイン(32)領域の不純物活性化を行う。その後、Al配線(36)し、透明電極ITOを堆積させる。ホトエッチ工程によって液晶ディスプレイ様 TFTを形成する。

上述した実施例では、屈折光の波長は 308nm としたが、それ以外の波長の光の場合も本発明は使える。たとえば、波長が 248.4nm の KrF レーザの場合、最適酸化シリコン膜の厚さは 1200Å 以上 1400Å 以下である。

さらに、上述実施例では、再結晶すべき半導体膜(2)をシリコン膜としたが、それ以外の任意好適な材料の半導体膜としても良い。

〔発明の効果〕

本発明によれば、レーザ照射保護膜とゲート絶縁膜を同一膜にすることが出来るので、プロセスの圧縮が出来る。

又、レーザ照射保護膜のエッティング工程をなくしたことによって、この工程によって起こる半導体膜の損傷、汚染の起こる可能性がなくした。

さらに、光の干渉効果を利用して、酸化シリコン膜の厚さを 1300Å 以上、 1700Å 以下にするわち、光の透光率の最も良い厚さにすることによって、光照射エネルギーを最大限に利用することが出来る。

4. 図面の簡単な説明

第1図は本発明を示すレーザ照射時の半導体を構成する膜の断面図である。第2図はシリコン膜上に形成される酸化シリコン(310)膜の厚さとその膜を透過する波長 308nm の光の透光強度の関係を示す図である。第3図は本発明を応用した一実施例(TFT)の断面構造図である。

2…保護膜、ゲート絶縁膜となる酸化シリコン膜、4…レーザ光、34…ゲート電極膜

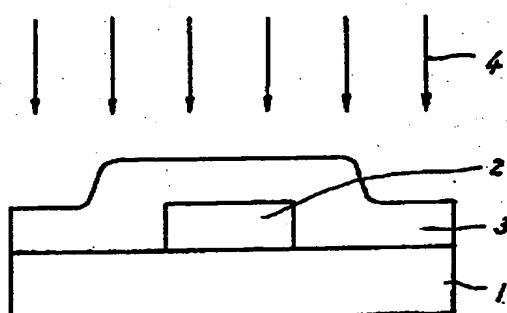
代理人弁護士 小川勝男



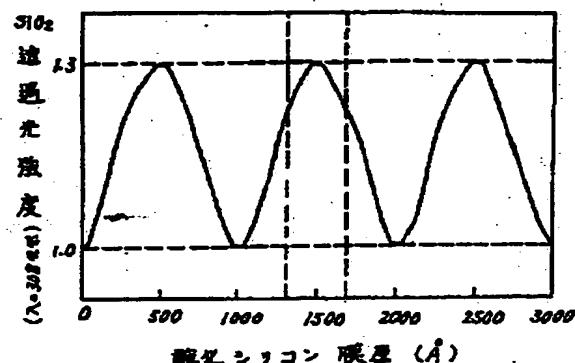
第2回

図面の添書(内容に変更なし)

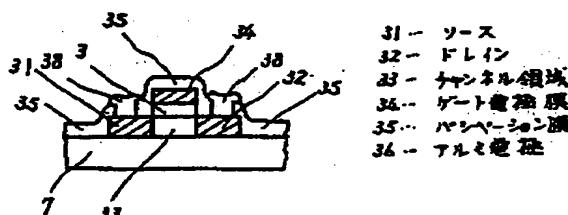
第1回



1- ガラス基板
2- シリコン膜
3- 酸化シリコン膜
4- レーザー光



第3回



手続補正書(方式)

平成1年6月26日

特許庁長官 吉田文政

事件の表示
平成1年特許第 42993号

発明の名称 薄膜半導体装置の製造方法

補正をする者

事件との関係 特許出願人

名 前(会社) 株式会社 日立製作所



代 理 人

名 前(会社) 東京都千代田区丸の内一丁目5番1号
会社名: 日立製作所内 03-5520-1011(代表)

氏 名(会社) 会員士 小川 駿

補正合意の日付 平成1年5月30日(発送日)

補正の対象 図面の全部

補正の内容

記載に最初に添付した図面の添書・別紙との通り
(内容に変更なし)